

# Transcripciones de las presentaciones de clases de teoría 2010

**IMPORTANTE:** Estas notas de clases sirven como complemento de los apuntes ya editados por esta cátedra y no deben ser considerados como el material didáctico final a estudiar. Se aprovecha en las mismas refrescar ciertos conceptos vertidos en los mismos, complementarlos y actualizarlos.

## TEMA 9: Familias Lógicas

Filmina 2: A lo largo del tiempo los fabricantes de circuitos integrados han ido presentando diversas tecnologías para poder lograr la familia lógica ideal. Es así como luego de diversos intentos de imponer una tecnología que sea popular, apareció la lógica denominada TTL (Transistor-Transistor Logic: Lógica transistor-transistor) inventada por la empresa Texas Instruments en la década del 60, sumándose luego, otros fabricantes como Motorola y National Semiconductors entre otros.

Esto constituyó un avance muy importante en cuanto al desarrollo de circuitos integrados (CIs) que contuvieran desde compuertas hasta circuitos más complejos tales como sumadores, decodificadores, flip-flops, contadores, etc.

Gracias al continuo mejoramiento en los procesos de fabricación de CIs, pudo ser factible la creación del microprocesador en un solo chip.

Esta tecnología basa su diseño en el empleo de transistores bipolares que trabajan en corte ó saturación.

Con el afán de lograr mejorar las prestaciones de las compuertas se propusieron alternativas de otras familias lógicas como la ECL (basada también en transistores bipolares pero trabajando en zona activa) y CMOS (empleando transistores de efecto de campo) las cuales se siguen utilizando hoy en día.

En especial, CMOS ha ido evolucionando de tal forma que desde hace más de una década ha no sólo ha logrado suplantar a la familia lógica TTL sino que ha conseguido integrar circuitos electrónicos con fotónicos en un mismo chip.

Filmina 3 a 5: El gran desafío en la ingeniería respecto al desarrollo de una tecnología que permita construir circuitos digitales cuyas características sean lo más parecidas a la de una familia lógica ideal:

Una familia lógica ideal deberá emplear componentes y una estructura tal que cumpla con los siguientes requisitos:

--Velocidad de respuesta infinita (tiempos de retardo nulos).

--Consumo nulo de energía.

--Inmunidad al ruido del 50% de la tensión de alimentación.

--Impedancia de salida nula.

--Impedancia de entrada infinita.

Filmina 6: Se muestra la evolución de las familias lógicas.

Comienza con la lógica TTL original y su evolución con las subfamilias S, LS, ALS y F.

CMOS con sus inicios en la serie CD4000 pasando por la HC, HCT, AC y ACT y las actuales versiones de baja tensión de alimentación.

ECL si bien ya tiene más de 30 años en el mercado no ha sufrido grandes modificaciones, siendo la más importante, la de trasladar los valores de tensión que corresponden a los niveles lógicos de "0" y "1" de valores negativos a valores positivos como TTL ó CMOS, denominándose ahora como PECL (Positive Emitter Coupled Logic).

Filminas 7: Antes de TTL existía la denominada lógica DL (Diode Logic) la cual trabajaba con niveles de tensión entre +Vcc y -Vcc. Debido a que no era posible sintetizar una función de "negación" además de problemas de degradación de señales al realizar cascadas entre compuertas se dejó de utilizar.

Filmina 8: La lógica DTL fue la precursora de la TTL, ya que con el invento del transistor se pudo realizar la función de negación. El problema que se tenía sin embargo era el de su baja velocidad de respuesta y la necesidad de una fuente de tensión partida ó doble (+Vcc y -Vcc).

Filmina 9: TTL se constituyó en la tecnología de referencia debido a que solucionaba los problemas anteriores.

La primera línea se denominó 74XXXX donde 74 (54 para uso militar) daba la denominación a la familia lógica de uso comercial y XXXX indicaba la función que cumplía el chip.

Dado que se requerían versiones de bajo consumo y de mayor velocidad fueron apareciendo versiones (subfamilias) mejoradas en ciertos aspectos como 74L (bajo consumo) y 74S (mayor velocidad). Con la aparición del transistor Schottky, TTL mejoró en ambos aspectos.

Las subfamilias aún utilizables se denominan 74LS (LS: Low Power Schottky), 74ALS (ALS: Advanced Low Power Schottky) y 74F (F:Fast LS).

Si bien aparecieron versiones de baja tensión de alimentación para disminuir el consumo a frecuencias mayores de operación, se dejó de lado esta tecnología ya que la CMOS de alta velocidad había superado a la 74F con la línea 74AC/ACT.

Si bien TTL es ya casi historia, es importante conocerla ya que la serie CMOS de alta velocidad por motivos de compatibilidad tuvo que adoptar algunas características de la TTL a fin de poder hacer una transición gradual de tecnología.

Filminas 10: Un inversor TTL básico (no el que realmente se ha implementado en la serie 74XXXX) está formado por dos transistores bipolares NPN y resistencias.

NOTA: Siempre en TTL los transistores son NPN y trabajan al corte y saturación (nunca en zona activa como ECL) y la tensión de alimentación es de 5 V (salvo las versiones de baja tensión que aparecieron posteriormente).

T3 y  $R_c$  forman un inversor de tensión, mientras que T1 con su resistencia de base trabajan como un adaptador de impedancias ya que entrando por el emisor de T1, éste presenta una impedancia alta y por lo tanto no cargará demasiado a la fuente que se conecte a la entrada del inversor. Esto es debido a que para saturar a T3 desde T1 no se necesita mucha corriente ya que la mayor parte la aporta la base de T1 y poca de su emisor.

Saturando a T3 con un nivel de tensión alto en la entrada se logra que la tensión de salida en el colector de T3 sea cercana a 0 V.

Con la entrada a GND (masa eléctrica de potencial nulo) T1 se satura y no alcanza la tensión para sacar del corte a T3. La tensión de salida sin carga en el colector de T3e será 5 V y si se carga, será la que resulte del divisor de tensión  $R_c$ - $R_{carga}$ .

Este circuito es la base de TTL pero todavía adolece del problema de velocidad y consumo.

Respecto a la velocidad, la capacidad efectiva CL en bornes de la salida (de T3 y la carga) hacen que la constante de tiempo  $R_c$ -CL deba ser chica ( $R_c$  de pequeño valor) si se quiere cargar rápido a CL.

Si se hace esto, el consumo puede ser grande y el chip puede resentirse si no se lo dimensiona apropiadamente (mayor silicio y mayor precio).

Si  $R_c$  es grande para disminuir el consumo la constante de tiempo entre  $R_c$ -CL crece y la respuesta será más lenta.

Filmina 11: El circuito mostrado corresponde al circuito real de un inversor TTL, donde se ha hecho una modificación en la etapa de salida denominada "totem-pole" para mejorar la situación de compromiso anteriormente citada.

T4 funciona como un divisor de fase, debido a que las excitaciones a las tensiones de base de T2 y T3 se obtienen de su colector y emisor respectivamente. De esta forma si se corta a T4 no hay tensión en su emisor y eso satura a T3 pero sí a T2 a través de su colector y viceversa.

La salida formada por T2 y T3 funciona como dos llaves de tensión, donde una estará en corte y la otra en saturación, con lo cual se logra los dos niveles lógicos requeridos.

Para que esto ocurra, sin embargo, es necesario intercalar un diodo D para que en la salida con nivel "bajo" ("0") además de T3 saturado, quede también T2 saturado con lo cual funcionaría mal el circuito. Con el diodo no se podría alcanzar la tensión necesaria de base de T2 para que éste se sature.

Filmina 12: Se presentan las compuertas NAND y NOR de 2 entradas cada una, basadas en la estructura del inversor.

La NAND tiene a T1 con varios emisores (transistor multiemisor) de tal forma que sólo es posible saturar a T3 (nivel bajo de la salida) si todos sus emisores están en nivel lógico alto ("1"). Uno sólo que se ponga a GND, hará que la salida pase a nivel alto.

La OR emplea una configuración como la del inversor salvo que se le agregaría otro juego de transistores de entrada (denominados T1 y T4 en el inversor visto). De esta manera queda una configuración de entrada tal que la salida sólo estará en "1" si se corta a T3 lo que se logra si ambas entradas están en nivel "bajo". Cualquiera que pase a "1", saturará a T3 y llevará la salida a nivel lógico "0".

**NOTA: Tecnológicamente, aquí para diseñar una compuerta OR o AND, se parte de la NOR ó NAND y se las niega. Por lo tanto, desde el punto de vista de retardos éstas últimas son mas lentas dado que se debe agregar un inversor.**

Filmina 13: La configuración de salida "totem-pole" no permite unir dos o más salidas para formar por ejemplo una función "AND cableada".

La explicación se da en el dibujo superior donde si por ejemplo la compuerta de la izquierda (A) está en "1" y la de la derecha (B) en "0", circularía una corriente por T4A y T2B demasiado elevada que podría destruir a dichos transistores que no están dimensionados para resistir tanta corriente.

Para solucionar este problema se fabricaron chips con salida "Open-collector" (OC: colector abierto) donde sólo tenemos un transistor en la salida con su emisor a GND y su colector libre accesible desde un pin del CI.

De esta forma si se unen las salidas de dos compuertas con salidas OC y se conectan vía una resistencia a la tensión positiva de fuente de 5 V, (resistencia denominada de "pull-up"), es posible formar una "AND cableada". Cualquier compuerta que haga saturar a su respectivo transistor de salida, hará que la salida total vaya a "0", salvo que todas estén simultáneamente cortadas.

Filmina 14: La función de transferencia en una compuerta lógica es la relación entre la tensión de salida en función de la tensión de entrada.

Par el caso de un inversor TTL idealizado, ésta tiene la forma mostrada en la figura de la izquierda donde se puede observar que:

--El cambio de la tensión de salida de un nivel a otro no es abrupto (como en un inversor ideal), sino que la transición aparece con una evolución de la tensión con dos pendientes diferentes.

--Dicha transición no ocurre a la mitad de la tensión de alimentación (2,5 V para 5 V en una compuerta ideal) sino en 1,2 V aproximadamente.

--La tensión de salida sin carga para el nivel alto es de alrededor de 3,5 V en vez de 5 V como lo esperado en un circuito ideal.

En la figura de la derecha vemos una curva real para un inversor ó compuertas NAND y NOR dada habitualmente por el fabricante.

Las denominadas zonas prohibidas son aquellas donde el fabricante del chip no puede garantizar que la compuerta funcione correctamente.

Esto implica que según se muestra, la tensión de entrada para que una compuerta interprete bien un nivel lógico bajo, debe estar comprendida entre 0 V y 0,8 V.

Lo mismo, para el nivel alto, la tensión de entrada debe estar restringida entre 2 V y 5 V.

Caso contrario, la entrada de dicha compuerta puede malinterpretar dicho nivel lógico y generar en la salida un estado erróneo.

Filminas 15 a 16: La zona de trabajo que se vé en la función de transferencia se debe a que las salidas de las compuertas TTL varían su tensión al aplicarles carga.

La salida de una compuerta con compuertas conectadas a ella (salida cargada) dará una tensión que será función de la corriente total que se le pida.

En el ejemplo de la filmina 16 tenemos que en el estado alto, la salida entrega corriente vía el transistor T2 y la corriente fluye hacia las entradas de las otras compuertas (corriente de salida positiva).

A medida que se conecten cargas, la tensión de salida irá disminuyendo ya que se forma un divisor de tensión donde la R equivalente entre la salida y GND vá siendo cada vez mas pequeña.

Para el estado bajo pasa algo similar en cuanto a que la tensión de salida cambia al conectarse cada vez mas cargas.

Ahora la corriente fluye de las entradas al colector de T3 del inversor de la izquierda. Este está saturado con 0,2 V aproximadamente en vacío, pero dicha tensión irá aumentando a medida que se conecten entradas de otras compuertas.

El límite fijado por el fabricante de la máxima cantidad de compuertas que se puede conectar a la salida de otra se dá por el valor máximo de corriente de salida lo que dicha compuerta

puede manejar tanto en el estado alto como en el bajo ( $I_{out\_max}(H)$  e  $I_{out\_max}(L)$ ), sin que se baje de 2,4 V (para el nivel alto) y sin que se superen los 0,4 V (para el nivel bajo) respectivamente.

Motorola definió las denominadas unidades lógicas de carga (UL) para el estado alto y bajo ( $UL_L$  y  $UL_H$ ). Fue una normalización para la primera familia lógica TTL donde en general una compuerta tenía un valor de corriente de entrada al conectarse la misma a  $V_{cc}$  de 40  $\mu A$ , mientras que si se ponía la entrada a GND, era de 1,6 mA.

Ese test se hacía conectando un miliamperímetro con el borne (-) a la entrada y el (+) a  $V_{cc}$  ó GND. En el primer caso ( $V_{cc}$ ) se registraba un valor positivo de corriente mientras que en el segundo, la indicación era negativa (la corriente fluye desde la entrada hacia el terminal GND).

Por esa razón se definieron  $1 UL_L = 1,6 \text{ mA}$  y  $1 UL_H = 40 \mu A$ .

Las compuertas se hacían tal que pudieran suministrar corriente en sus salidas de hasta 10 entradas normalizadas, es decir, 400  $\mu A$  en el estado alto y 16 mA en el estado lógico bajo.

Esto es sólo aproximado ya que empezaron a aparecer CIs que consumían más o menos corriente que los valores normalizados.

Con la necesidad de disminuir el consumo cada vez más (por ejemplo en la subfamilia 74LS) dichos valores se convirtieron en sólo una referencia.

La consideración que se debe tener en cuenta es simplemente verificar que la corriente total que se le pide a la salida de una compuerta tanto en el nivel alto como en el bajo no supere los valores máximos de  $I_{out\_max}(H)$  e  $I_{out\_max}(L)$ .

Ejemplo: Una compuerta cuyas corrientes de salida máximas son de  $I_{out\_max}(H)=500 \mu A$  e  $I_{out\_max}(L)=16 \text{ mA}$ , tiene conectada a su salida 9 compuertas que consumen 50  $\mu A$  en estado alto y 2,0 mA en el estado bajo.

--Se pueden conectar a ella sin que se exceda la capacidad de corriente?,

Tendremos una corriente de consumo total de  $9 \times 50 \mu A = 450 \mu A$  en el estado alto y de

$9 \times 2 \text{ mA} = 18 \text{ mA}$  en el estado bajo.

Si bien en el nivel lógico alto todavía hay un excedente de 50  $\mu A$  para suministrar en el nivel bajo, hay una sobrecarga de 2 mA. Esto ya impide el uso de 9 compuertas.

--Cuántas se pueden conectar?. Como aquí el problema es con el nivel bajo, para no superar los 15 mA de la salida, tenemos que poner 7 compuertas (14 mA de carga total en nivel bajo).

NOTA: En todas las hojas de datos de compuertas y CIs más complejos, aparecen los valores de corriente de entrada y salida. Generalmente existen dispersiones de esos valores, es decir, que el fabricante dá un rango de valores posibles ya que hace una hoja de datos para toda la producción y no integrado por integrado. Lo mismo vale para los valores de tensión de entrada y salida, capacidades de entrada y salida, etc.

El método de cálculo anterior es válido no sólo para el caso de interconexión entre compuertas de la misma familia lógica sino para cuando sean de diferentes subfamilias o inclusive de diferente tecnología como sería el caso de TTL y CMOS.

Cabe aclarar que en ese caso, se deben cumplir también ciertos requisitos en cuanto a los niveles de tensión manejados.

Filmina 17: El margen de ruido, entonces, es la diferencia de los límites de las tensiones entre una salida y una entrada (ó entradas) tal que no se llegue a la condición que haga que la entrada (ó entradas) interprete mal el nivel lógico de dicha salida.

El márgen de ruido en el nivel alto NMH es de  $0,4\text{ V}$  ( $2,4\text{ V} - 2,0\text{ V}$ ).

El márgen de ruido en el nivel bajo NML es de  $0,4\text{ V}$  ( $0,8\text{ V} - 0,4\text{ V}$ ).

Si la diferencia diera negativa, la entrada de una compuerta podría interpretar mal el nivel lógico.

Normalmente en la serie 74XXXX para llegar a  $2,4\text{ V}$  en “alto” y  $0,4\text{ V}$  en “bajo” se tendría que cargar a una salida con más o menos 10 compuertas del mismo tipo (esto es aproximado ya que no todas las compuertas requieren el mismo valor de corriente de entrada).

Filmina 18: El tercer tipo de salida que existe en TTL aparte de la “tótem-pole” y “open collector” es la denominada “tri-state” (tercer estado).

Se muestra como ejemplo a una NAND con una entrada “enable” (habilitación).

Si “enable” vale “0”, el diodo D2 y el inversor no afectan el funcionamiento de la misma (tener una entrada en el transistor multiemisor en  $5\text{ V}$  no cambia el efecto en el mismo, además de polarizar en inversa a D2 con lo cual es como si el diodo no estuviera presente).

Si “enable” está en “1”, el emisor conectado a la salida del inversor, corta a T3 y T4, mientras que el diodo D2 se polariza en directa, cortando a T2.

El resultado en este caso es tener cortados simultáneamente a T2 y T3, con lo cual la salida queda en estado de “alta impedancia”. Se dice así pues idealmente si se mide la resistencia entre Vcc y la salida y entre la salida y GND, la impedancia sería infinita.

En realidad es de varios  $\text{M}\Omega$  y la compuerta queda con su salida como en circuito abierto.

Una entrada de otra compuerta conectada a esa salida en estas condiciones vería como un cable “en el aire”, aislado de las tensiones de alimentación.

Esta configuración es muy útil cuando se requiere por ejemplo que varias salidas se conecten a una entrada (no es el caso de la AND cableada) pero donde sólo una de ellas inyecte los niveles lógicos por vez.

Es el caso típico de un bus de datos de un microprocesador (uP) que tiene varios dispositivos conectados a sus líneas de datos. El uP accederá a ellos controlando las entradas de “enable” de los mismos, habilitando sólo a uno por vez, es decir, sólo una salida estará funcionando normalmente y las demás estarán en estado de “alta impedancia”.

Figura 19: El descubrimiento del diodo Schottky y posteriormente del transistor Schottky condujo a mejorar la velocidad de conmutación de los transistores empleados en compuertas TTL ya que un transistor de este tipo al saturarlo no se lo hace con la cantidad de portadores que requiere un transistor común, lográndose así mayor rapidez para retirar esas cargas y poder llevarlo al estado de corte. Esta subfamilia se denominó 74SXXXX.

Filmina 20: La evolución en esa línea Schottky terminó con las subfamilias 74LS, 74ALS y 74F.

El inversor mostrado no tiene un transistor a la entrada sino un diodo (D1), Q1 como transistor divisor de fase y los pares Q2-Q3 y Q4-Q5 como transistores de salida.

Se muestra además las tensiones de salida y entrada a fin de poder identificar los niveles de tensión permitidos para su buen funcionamiento, lo que sigue siendo idéntico al caso de TTL de la serie original 74XXXX.

La salida en nivel alto no debe bajar de 2,4 V y en nivel bajo, subir de 0,4 V para poder garantizar que toda entrada de otra compuerta de la misma subfamilia pueda interpretar bien dichos niveles lógicos.

La manera de lograr esto, como vimos, es no sobrepasar los valores de corriente de salida máximos especificados por el fabricante para cada compuerta en particular.

Filminas 21 a 22: Se muestran características generales de funcionamiento estático y dinámico de un circuito TTL LS, con algunas diferencias para el caso de tratarse de una compuerta, FFs ó contador.

--La tensión de alimentación en una de las especificaciones más rigurosas a tener en cuenta ya que no debe superar los 5,25 V y bajar de 4,75 V (5 V +/- 5%).

--La temperatura de operación debe estar entre 0°C y 70°C.

--Las corrientes de entradas máximas son de 20 uA y 400 uA en los estados alto y bajo respectivamente.

--Las corrientes de salidas para las compuertas en general puede suministrar hasta 400 uA en nivel alto y 8 mA en nivel bajo. Esto indica que la capacidad de corriente de 74LS es mejor que en la serie 74 original, hablando siempre de la misma subfamilia, ya que en 74LS tendremos  $400/20=20$  compuertas máximo para el nivel alto y  $8000/400=20$  compuertas para el nivel bajo.



--Los valores de corriente máximos de salida para los CIs que tienen reforzadas sus salidas son de: 15 mA en estado alto y 24 mA en estado bajo. Los mismos pueden manejar directamente diodos emisores de luz (LEDs).

--El consumo general por compuerta de un CI en reposo sin carga es de 0,4 mA.

Este dato es importante ya que nos indica lo que se consume en stand-by, es decir, en reposo (sin aplicar señales a las entradas) y sin carga.

--La potencia en reposo consumida por compuerta es de 2 mW (0,4 mA x 5 V).

--El tiempo de retardo de propagación es de 9 ns en un inversor.

La frecuencia de reloj máxima a aplicar a un FF tipo "D" es de 33 MHz y en un contador de 40 MHz.

NOTA: Estos valores son generales y habrá que ver las hojas de datos para cada caso en particular.

Respecto a los retardos y frecuencias máximas de operación generalmente se especifican para una determinada capacidad de carga, por ejemplo  $CL=15$  pF.

Un valor típico de capacidad de entrada de una compuerta es de  $C_i=5$  pF, por lo tanto, los valores dados de retardos de propagación serían para el caso de conectar una salida a 3 entradas. Este concepto es importante ya que podemos en continua tener capacidad de suministrar corriente hasta 20 compuertas pero en funcionamiento dinámico quizás la limitación por los tiempos de retardo haga que sea menor a ese número.

Una consideración general de diseño que se desprende de todo esto (independientemente de la tecnología a emplear, es decir, es válido para TTL, CMOS, ECL, etc.) es que el número de compuertas a conectar a una dada salida dependerá del peor caso, considerando los requerimientos de corriente continua y alterna (tiempos de retardo involucrados).

Ejemplo: Analizar si a un inversor 74LS04 se le pueden conectar 3 inversores de las mismas características a su salida siendo la frecuencia de operación de 18 MHz.

NOTA: Ver al final de la transcripción el extracto de sus hojas de datos.

Desde el punto de vista estático tenemos que cada entrada consume 20 uA y 400 uA en los estados alto y bajo respectivamente, mientras que un inversor de este tipo puede suministrar hasta 400 uA y 8000 uA en estado alto y bajo respectivamente.

Esto da una capacidad de conexión de  $400/20=20$  compuertas en estado alto y  $8000/400$  compuertas en estado bajo. Resulta entonces que a un inversor se pueden conectar hasta 20 compuertas de este tipo en régimen de continua.

Para el análisis desde el punto de vista dinámico, asumiremos que cada entrada de un inversor tiene 5 pF de capacidad.

Una señal con una frecuencia de entrada de 36 MHz implica que su período es de aproximadamente 28 ns. Vamos a considerar que se trata de una onda cuadrada de ciclo de trabajo del 50%, es decir, mitad del tiempo en alto y mitad del tiempo en bajo.

Considerando el peor caso para el inversor, éste tiene un retardo en bajo y en alto de 15 ns en cada uno de ellos, cuando la capacidad de carga es de 15 pF (equivalente a 3 compuertas de 5 pF de carga cada una).

Como se pide ver si acepta 3 compuertas, el retardo total será justamente de 30ns.

La conclusión es que si bien se pueden conectar en régimen estático las 3 compuertas inversoras, en régimen dinámico no nos dan los tiempos ya que el período de la señal es de 28 ns contra un retardo de 30ns total del inversor en estas condiciones de carga.

Si tomáramos los valores típicos (9 y 10 ns de retardo) deberíamos analizar el caso para ambas transiciones y tomar el caso mas desfavorable que sería el de los 10 ns para el retardo de propagación tpdHL (de transición alto a bajo).

Como supusimos que la onda cuadrada es de ciclo de trabajo del 50%, cada estado durará  $28/2=14$  ns.

Con 3 compuertas para pasar de H a L, tardaremos 10 ns (la peor condición) y para pasar de L a H tardaremos 9 ns (la mejor condición).

En resumen, si adoptamos estos datos de valores típicos, podremos conectar las 3 compuertas.

En caso de tener un número mayor, se debería consultar las hojas de datos para saber los valores de retardos de propagación a la capacidad de carga en cuestión.

En la filmina 22 se vé como aumentan los retardos en función de CL para el caso de una compuerta NAND de 2 entradas tipo 74LS00. La función no es lineal con la capacidad.

Filmina 23: Se presenta un extracto de la hoja de datos de un chip cuádruple NAND de 2 entradas denominado 74LS00.

Filmina 24: El 74LS74 es un FF tipo "D" disparado por flanco positivo (ascendente). En esta filmina se muestra parte de las especificaciones en alterna.

Se dan valores mínimos para el tiempo en que debe estar el reloj en alto (25 ns) y el tiempo mínimo para que estén en bajo las señales de "clear" y "set" asincrónicas.

Los tiempos de "set-up" y de "hold" también son mostrados.

La frecuencia máxima de operación está limitada a 33 MHz para este dispositivo.

Filmina 25: De manera similar se presenta parte de las especificaciones del chip 74LS161 y 74LS163. El primero es un contador de 4 bits sincrónico binario y el segundo del tipo BCD.

Filmina 26. Se muestran los circuitos de NAND de 2 entradas correspondientes a las subfamilias ALS y FAST (74ALS00 y 74F00 respectivamente).

Filmina 27 a 28: Se muestran tablas comparativas de las subfamilias 54LS y 74LS donde se puede comparar las características generales de los tres miembros de la misma (54-74LS, 54-74ALS y 54-74F).

La serie 54 (militar) se diferencia fundamentalmente de la 74 (comercial) en un rango mayor de la temperatura de operación y una mejor tolerancia a las fluctuaciones de la tensión de alimentación.

Analizando la serie 74 la ALS tiene menor consumo en la entrada que las otras y un mejor margen de ruido. La F una mayor capacidad de corriente a la salida.

Respecto a la velocidad de respuesta, la LS es la más lenta y la F la más rápida de las tres (una gran diferencia) aunque tiene que pagar el costo de una mayor potencia de disipación, siendo en este aspecto la ALS la que menor consume de las tres.

**NOTA: La línea Low Power Schottky todavía se encuentra disponible en el mercado nacional.**

Filmina 29 y 30: La tecnología CMOS comenzó como una alternativa de la TTL a principios de la década del '60.

La serie CD4000 (nomenclatura de National y RCA) ó MC14000 (nomenclatura de Motorola) fue la primera versión CMOS que apareció en el mercado.

Corría con ciertas ventajas apreciables frente a TTL: menor consumo en régimen estático, mayor inmunidad al ruido, elevado fan-out (capacidad de corriente para conectar cargas a una salida) y rango de tensión de alimentación mucho más amplio (3 V a 18 V).

Su gran desventaja fue la velocidad de respuesta. Mientras una compuerta NAND de 2 entradas 7400 tenía un retardo de propagación de 15 ns, en la NAND de 2 entradas CMOS tipo CD4011, el mismo era de 225 ns.

Básicamente el problema era que con CMOS no era posible de construir transistores de efecto de campo donde se pudieran disminuir los valores de capacidades parásitas y obtener capacidades de corrientes aceptables.

Si bien apareció la versión CD4000B con mayor capacidad de corriente y un poco más de velocidad, no se alcanzaba nunca la desarrollada por TTL.

El advenimiento de procesos tecnológicos de fabricación de circuitos integrados por métodos litográficos dio el inicio a una serie de mejoras que llevaron a la disminución del tamaño de los

transistores MOS, disminuyendo notablemente dichas capacidades y una ampliación de la capacidad de corriente para generar la carga y descarga de la capacidad de carga a la salida de las compuertas.

Filminas 31 a 32: Un inversor CMOS está formado por dos transistores MOS, uno de canal P (superior) y otro de canal N (inferior). Se alimenta con tensión positiva entre los bornes Vdd (entre 3 y 18 V) y Vss (GND).

NOTA: Con respecto a la densidad de integración en un chipo comparar este circuito con el del de la filmina 20 (con tecnología LS TTL).

La construcción del inversor se realiza con el emplazamiento del transistor de canal N en un sustrato de silicio P y en otra zona donde se difunde material N (pozo N) se creará el transistor de canal P.

La función de transferencia es bastante cercana a la una compuerta ideal. En el ejemplo se muestra las zonas donde actúan ambos transistores. El único momento en que ambos trs conducen es en la transición del cambio de nivel lógico, cuando ambos están saturados. En otro punto de funcionamiento estará uno cortado y el otro trabajando en zona lineal.

Filmina 33: La función de transferencia real de una compuerta CMOS original serie CD4000 dada por las hojas de datos del fabricante para tres valores típicos de tensión de alimentación: 5, 10 y 15 V.

Filmina 34: El margen de ruido es sustancialmente mayor en CMOS que en TTL.

El ejemplo es para Vdd = 5 V, donde NM(H) y NM(L) es de 1,45 V (más de 3 veces superior a TTL). Como normalmente CMOS puede trabajar a mayor tensión el NM aumentará proporcionalmente, es decir, si pasamos a Vdd = 15 V, el NM será de 4,35 V.

Filmina 35 a 36: Dado que la entrada de un inversor CMOS es a través de los GATE de los transistores (trs) P y N, el control de la corriente de drain de ambos se hace por efecto capacitivo controlando la tensión de GATE en ellos.

Por lo tanto la impedancia de entrada en toda compuerta CMOS es muy elevada, siendo el fan-out también elevado (de miles de compuertas).

Dicho control de Ids a partir de la tensión de GATE, hace que los trs trabajen en forma complementaria, donde cuando uno conduce el otro está cortado.

Para que un transistor conduzca la Vgs debe ser superior a una tensión umbral denominada Vt.

Como la carga CMOS generalmente es capacitiva y de resistencia muy elevada, los valores de VoH y VoL son cercanos a Vdd y a Vss respectivamente.

La velocidad de conmutación en el inversor depende de cómo actúa cada transistor.

Para el caso donde la salida pasa de L a H, el transistor P deberá suministrar corriente a la capacidad CL a fin de cargarla y esto se hará en un tiempo  $t_{pLH}$  que dependerá de la tensión de alimentación y CL y una constante que depende de la construcción del transistor (inversamente proporcional a la longitud del canal P).

Para obtener mayor velocidad se puede aumentar Vdd ó disminuir Lp (aspecto constructivo).

Lo mismo pasa con pasar del estado H al L, donde interviene el transistor de canal N, debiendo éste descargar a CL.

De nuevo el tiempo  $t_{pHL}$  depende de Vdd y de Kn.

La situación de compromiso de bajar indiscriminadamente Lp y Ln es que la resistencia del canal de ambos transistores depende de la relación W/L (ancho-longitud). Si bajo mucho L, voy a incrementar la corriente Ids y por lo tanto los transistores disiparán mayor potencia.

Filmina 37: si bien la potencia en reposo (en continua) es muy baja (10 nW para la CD4011), el problema reside en el funcionamiento dinámico.

La energía que básicamente interesa aquí es la que se gasta en cargar y descargar a la capacidad de carga CL, a través de los transistores P y N respectivamente.

La expresión de la potencia dinámica de disipación es directamente proporcional a la frecuencia de la señal de entrada y de la capacidad de carga y al cuadrado con la tensión de alimentación.

Si bien un aumento del doble de Vdd mejora la respuesta en velocidad (filmina 36), cuadruplica la disipación de energía.

**NOTA IMPORTANTE: Es importante aclarar que en TTL, en el rango de funcionamiento en frecuencia de un dispositivo, la potencia total disipada (continua + dinámica) es relativamente constante.**

**En cambio en CMOS es lineal con ella: Si se dobla la frecuencia de operación se duplica la potencia disipada. La solución a ello, es entonces, disminuir la tensión de operación.**

Filmina 39: Se presentan dos ejemplos de compuertas NAND CMOS.

En todos los diseños de compuertas existe siempre una antisimetría en cuanto a la interconexión de los transistores de canal P y de canal N.

Aquí, los tipo P se arreglan en paralelo y los de canal N en cascada.

Para lograr que haya un "0" en la salida, se deberán cortar ambos trs tipo P y activar a los dos del tipo N. Esto sólo sucede si ambas entradas están en "1".

Cualquier otra combinación hará que siempre tengamos un transistor de canal P activo y uno de canal N cortado, con lo cual la salida será "1".

Si bien agregando un par de transistores se obtiene una entrada adicional, existe una limitación debido a la generación de diodos parásitos en el sustrato.

FILMINA 40: Se presenta una compuerta NOR y un inversor con capacidad de tri-state con sólo la inclusión de 4 transistores más (2 que se muestran y otros 2 para generar la inversión de la entrada de habilitación "E").

Filminas 41 a 42: Dada la posibilidad de hacer arreglos en las estructuras de los transistores de canal P y de canal N, podemos realizar **algunas** funciones utilizando el mismo diseño simple que el de un inversor o compuertas NOR ó NAND.

En el ejemplo de la filmina 41, se logra implementar la función  $Y = \overline{D(A+B+C)}$  con sólo 8 transistores.

Dado que los transistores de canal P son buenos para forzar la salida a "1" y los de canal N son buenos para forzar la salida a "0" se tiene este tipo de comportamiento antisimétrico que también se puede observar en los esquemas anteriores de NAND y NOR.

En este caso, los transistores de canal N, se arreglan para generar la función  $\overline{Y}$  (recordar que ellos se activan con un "1").

Para la parte superior en el arreglo de los transistores tipo P, se debe realizar la función Y pero recordando que estos transistores se activan con sus entradas en "0".

En la filmina 42 hay otro ejemplo.

Filmina 43 a 44: La compuerta de paso ó pass-gate es un componente esencial para la síntesis de llaves analógicas y otros dispositivos como multiplexores, etc.

Formada por dos transistores de canal P y N, los cuales son controlados a través de sus GATES a fin de que conduzcan o se corten simultáneamente.

Aplicando un "1" en el GATE del transistor de canal N y un "0" en el del tipo P se logra que conduzcan. Lo contrario ocurre si se aplica niveles de tensión opuestos ("0" y "1" respectivamente).

Para explicar cómo funciona un pass-gate, consideremos el caso de su funcionamiento como llave en serie entre una fuente de tensión y una carga CL.

Caso a) Estando CL descargado con los trs desactivados, se aplica tensión Vdd al transistor de canal N (llamémoslo NMOS) y ponemos el GATE del transistor de tipo P (PMOS) a masa (GND).

Al principio, el NMOS trabaja como seguidor de fuente ya que  $V_{gs}=V_{ds}$ . Como  $V_{out} < V_{dd}-V_{tn}$ , éste estará saturado. Por otro lado, mientras  $V_{out}$  sea menor a  $V_{tp}$ , el PMOS estará saturado.

En esta situación CL comenzará a cargarse. Cuando  $V_{out}$  sea mayor a  $V_{tp}$ , el PMOS entrará en régimen lineal.

Cuando  $V_{out}$  sea mayor que  $V_{dd}-V_{tn}$ , el NMOS se cortará, quedando sólo el PMOS conduciendo hasta que  $V_{out}$  llegue a  $V_{dd}-V_{ds}(sat)$ .

Caso b) Estando CL cargado, se aplica  $V_{dd}$  al GATE del PMOS y GND al NMOS.

Al comienzo, el NMOS trabajará saturado mientras sea  $V_{out}$  mayor a  $V_{dd}-V_{tn}$ .

El PMOS trabajará saturado y siempre como seguidor de fuente ya que  $V_{gs}=V_{ds}$ .

En estas condiciones, el capacitor se descargará.

El PMOS se cortará cuando sea  $V_{out} < V_{tp}$  y el NMOS pasará a régimen lineal cuando  $V_{out}$  sea menor a  $V_{dd}-V_{tn}$ .

La tensión final del capacitor llegará a un valor muy bajo.

De esta forma, controlando los GATE del NMOS y PMOS se puede emplear al pass-gate como llave.

Filmina 45: Un claro ejemplo de simplicidad de diseño con tecnología CMOS, donde se sintetiza un MUX 2:1 sólo con 6 transistores, 4 para las dos llaves pass-gate y otros dos para implementar al inversor que genere la señal de  $/S$ .

Aquí manejando el nivel lógico de  $S$  (y de  $/S$ ) es posible habilitar uno u otro pass-gate.

Si tenemos dos entradas  $A$  y  $B$  conectadas a cada uno, para cada nivel de tensión de  $S$  ( $V_{dd}$  ó  $V_{ss}=GND$ ), se selecciona uno u otro camino de la salida  $Y$ .

Aquel pass-gate que es inhibido, presenta una impedancia infinita en teoría y desvincula su entrada de la salida.

Filmina 46: Este ejemplo de diseño se basa en la implementación de una compuerta OR-EXCLUSIVA de dos entradas basada en inversores y una compuerta pass-gate.

El extremado bajo consumo de éstos permite por ejemplo que la salida del inversor de la izquierda sirva de alimentación para el segundo inversor (cuando  $A$  es "1" ese inversor queda con tensión entre sus bornes de alimentación muy similar a  $V_{dd}$  (arriba) y a  $V_{ss}$  (abajo)).

Este esquema, con 6 trs presenta una mejora en cuanto a la densidad de integración respecto a TTL donde se necesitan muchos más componentes.

Filmina 47. Un flip-flop tipo "D" disparado por flanco puede ser sintetizado con inversores y compuertas pass-gate.

En el ejemplo, hay dos circuitos idénticos pero que están controlados por señales de reloj en contrafase.

Para CLK=0 la primera etapa queda con su salida sensando lo que pasa a la entrada pero invirtiendo ese valor. Mientras que la segunda etapa quedó almacenando el dato anterior de la salida de la primera etapa cuando se produjo el cambio de nivel del reloj de "1" a "0" pero invirtiéndola.

Se dice entonces que la 1ra etapa está en modo de "sensado" y la 2da en modo "holding" o de almacenamiento. La salida del circuito Q, queda con un valor fijo que es la negación de lo que está en la salida de la 1ra etapa.

Si ahora, el reloj cambia de "0" a "1", se invierten los roles: la 2da etapa queda sensando el último valor de la salida de la 1ra etapa justo antes que viniera ese flanco de reloj positivo (de "0" a "1"). Por otro lado, la 1ra etapa se queda almacenando el valor de entrada antes de ese cambio del reloj pero no tiene efecto sobre la salida.

La salida Q, entonces, tendrá el valor de la entrada instantánea antes que se produjera el cambio de clock de "0" a "1".

De este modo el circuito funciona como un Flip-Flop tipo "D" (copiador) disparado por flanco ascendente.

**PREGUNTAS: --Porqué se niega dos veces para volver a obtener la señal de CLK sin negar?.**

**--Cómo se hace para que dispare con el otro flanco del reloj?.**

Filmina 48: Se presentan dos formas de implementar un inversor con salida tri-state. Un caso es el ya analizado. El otro es intercalando una compuerta pass-gate a la salida del mismo.

Esta última alternativa permite realizar la operación de tri-state para cualquier tipo de compuerta. En el primero, estará limitado debido a que hay una limitación en el número de trs que se pueden "apilar".

Filmina 49 a 52: Ejemplo de compuertas de la serie MC14XXXXUB (unbuffered)

Se presenta la serie de CMOS de baja capacidad de corriente denominada UB.

Para este ejemplo se tiene las compuertas MC14001UB cuádruple NOR de 2 entradas (4NOR2) y la MC14011UB cuádruple NAND de 2 entradas (4NAND2).

**NOTA: Esta serie como la MC14XXXXB todavía está vigente en el mercado nacional.**

El rango de tensión de alimentación es de 3 a 18 V.



La salida puede manejar sólo una carga 74LS.

Reemplazo pin a pin de la serie CD4XXXXUB (National).

La salida tiene valores en tensión de  $V_{OH}=4,95$  V y  $V_{OL}=0,05$  V para  $V_{DD}=5$  V.

La corriente de entrada es de  $0,000001$  uA (1 pA...!!!!).

La capacidad de entrada de 5 pF.

La corriente total de todo el chip en reposo es  $I_{DD} = 500$  pA.

La corriente total de consumo por compuerta (reposo + dinámica) se rige por la expresión:

$$I_{total} = (0,3\mu A/KHz)f + I_{DD}/N \text{ para } V_{DD} = 5 \text{ V y } C_L = 50 \text{ pF.}$$

donde N es el número de compuertas del chip (en este caso 4)

$$I_{OH} = 1 \text{ mA.}$$

$$I_{OL} = 0,51 \text{ mA.}$$

Los tiempos de retardo son:

- a) Tiempo total de retardo de bajo a alto: la suma del tiempo de subida + el de retardo de propagación LH.
- b) Tiempo total de retardo de alto a bajo: la suma del tiempo de bajada + el de retardo de propagación HL.

Para  $V_{DD}=5$  V y  $C_L=50$  pF, tenemos:

$$T_{TLH}=180 \text{ ns (tiempo de subida)}$$

$$T_{THL}=100 \text{ ns (tiempo de bajada)}$$

$$T_{pLH}=T_{pHL}=90 \text{ ns (tiempo de retardo de propagación)}$$

**NOTA. Ver al final el diagrama de tiempos de MC14001UB y MC14011UB**

Filmina 53 a 57: Se presentan ejemplos de la serie MC14XXXXB (buffered)

Aquí la serie CMOS standard tiene reforzada las salidas a fin de poder drenar mayor corriente.

$$I_{OH} = 4,2 \text{ mA}$$

$$I_{OL} = 0,88 \text{ mA}$$

$$T_{TLH}=100 \text{ ns (tiempo de subida)}$$

$$T_{THL}=100 \text{ ns (tiempo de bajada)}$$

$T_{p_{LH}}=T_{p_{HL}}=125$  ns (tiempo de retardo de propagación)

En filmina 56 se ven los esquemáticos del MC14001B (NOR2) y del MC14071B(OR2).

En el primero, se obvia el inversor dibujado como punteado.

Idem para las NOR3 y OR3 (MC14025B y MC14075B respectivamente).

En filmina 57, se muestra algo análogo pero para NAND3-AND3 y NAND2-AND2.

Filmina 58: El MC14016B es una llave analógica CMOS con el control incluido de on-off.

Filmina 59: Se presenta un MUX-DeMUX analógico CMOS de 2 canales, el MC14007UB.

Filmina 60: Familia CMOS de alta velocidad.

A diferencia de TTL donde para poder mejorar las prestaciones de velocidad y consumo hubo que realizar modificaciones en la estructura circuital de las compuertas, CMOS evolucionó gracias a las mejoras en los procesos de fabricación que permitieron implementar transistores cada vez mas pequeños con la consecuente disminución de capacidades parásitas.

Es por ello que la estructura de un inversor de una CMOS CD4000 es análoga a la de las series nuevas de alta velocidad. Eso sí, hubo que hacer algunas concesiones en cuanto al rango de tensión de alimentación.

Dado que la tecnología imperante antes del advenimiento de CMOS de alta velocidad, era TTL, las nuevas versiones de CMOS se trataron de adaptar a los requerimientos de tensiones y corrientes que ya estaban definidas en la tecnología TTL.

Es por ello que aparece en el mercado la línea 74HCT y 74ACT de CMOS, tal que sea compatible 100% con TTL para su interconexión.

Además se encuentran las series 74HC y 74AC que son versiones como la CMOS original pero más rápidas y con un rango de trabajo de tensión de alimentación menor.

**NOTA: En las siguientes filminas se mostrarán integrados de la serie 74AHC y 74AHCT que son similares a los 74AC y 74ACT, salvo la denominación diferente.**

Filminas 61 a 64: Un flip-flop tipo 74AHCT74 (compatible con TTL) y 74AHC74 (compatible con CMOS se presentan.

Las características desde el punto de vista de tabla de verdad y compatibilidad pin a pin son idénticas a la serie 7474 TTL original y subfamilias asociadas (LS, ALS y F).

El empleo de compuertas pass-gate permite formar un FF tipo "D" disparado por flanco ascendente con cierta similitud a explicado anteriormente (filmina 47), pero con el agregado de las entradas asincrónicas de /reset y /set, activas en nivel bajo y la posibilidad de contar con ambas salidas Q y /Q.

Aquí, algunos inversores han sido reemplazados por compuertas NOR.

Para funcionamiento normal (las entradas asincrónicas están deshabilitadas en nivel alto), a través de los inversores en /reset y /set, se aplica un "0" en una de las entradas de esas NOR. El resultado es que de esta manera, funcionan como un inversor.

Si ponemos /set a "0" y mantenemos "reset" en "1", estaremos forzando siempre que la primera etapa ponga un "0" a la su salida, que a través del inversor antes de la salida Q, hará que éste vaya a "1" cuando el nivel de clock esté en "1".

Con clock en "0", la segunda etapa es la que fuerza a través de su compuerta NOR a poner un "0" también a la entrada del inversor que está antes de la salida Q, es decir, Q también tendrá un "1".

De esta forma, independientemente de la evolución del reloj que irá conectando y desconectando las compuertas pass-gate, la salida Q se mantendrá en "1" y /Q en "0", en todo momento.

Un análisis análogo se puede hacer cuando tenemos la entrada "/reset" en "0" y "/set" en "1". Se forzará a Q a "0" y a /Q a "1" en todo instante, independientemente de la actividad del reloj.

En la filmina 62 se puede observar que a  $V_{dd}=3,3\text{ V}$  la máxima frecuencia de trabajo es de 125 MHz similar a la alcanzada con la 74F en  $V_{cc}=5\text{ V}$ .

Los diagramas de tiempo son idénticos a los presentados en la serie TTL dado que tienen compatibilidad funcional 100%, salvo, como dijimos, en lo referente a las velocidades de respuesta.

Filminas 65 a 67: Un flip-flop tipo "JK" disparado por flanco descendente en tecnología CMOS, implementado con inversores, compuertas pass-gate y otras. Se trata de las series CMOS de alta velocidad 74HC107 y 74HCT107, mas lenta que la serie anterior 74AHC-AHCT.

A fin de analizar el funcionamiento, en la filmina se presentan las ecuaciones lógicas para los casos en que:

- a) Se unen las entradas J y K
- b) Se niega K y se inyecta señal en J.

Se obtienen como resultados, que en el primer caso la señal P (que es la que se tendría como entrada del resto del circuito que es un FF tipo "D"), vale "J", es decir, es un FF copiadador.

En el segundo caso, P es la función Or-exclusiva entre la entrada y la salida Q, y responde a la tabla de verdad de un FF tipo "T" (si J="0" => Q(n+1)=Q(n); si J="1" => Q(n+1)=/Q(n)).

De todo esto, deducimos que el FF trabaja como JK.

Por otro lado, la entrada "/reset", de manera similar a lo explicado para el 74ACH74, trabaja como señal asincrónica de "reset", activa en bajo.

De las hojas de datos, vemos que la frecuencia máxima de trabajo para la línea 74HC es de 85 MHz para Vdd = 6 V (máximo valor de tensión aplicable a esta serie compatible con CMOS).

Filmina 68: Se presentan un gráfico comparativo de las distintas respuestas temporales de diversas series CMOS en función de la tensión de alimentación.

Del análisis se desprende que a mayor Vdd mejor respuesta se tiene, como se vió al comienzo de la explicación de CMOS.

De las que funcionan con tensiones de alimentación de 2 V, la línea AC tiene mejor performance que la HC.

Se muestran además otras versiones que trabajan con Vdd menores a 2 V (típicamente con 1,8 V), como la AVC y LVC.

Filmina 69: En CMOS existen dos tipos de entradas:

--Standard: donde la función de transferencia es una función biunívoca entre la salida y la entrada.

--Schmitt trigger: donde existe una histéresis.

Esta última tiene la ventaja de mejorar la inmunidad al ruido y se emplea frecuentemente como entrada en circuitos contadores en microcontroladores como es el caso de Microchip para conformar las señales con ruido o no "tan cuadradas".

Un ejemplo típico de compuerta con este tipo de entrada es la CD4093, cuádruple NAND.

Filmina 70: Se muestra la diferencia entre las funciones de transferencia de la 74HCT y 74HC (válido también entre 74ACT y 74AC).

La HCT tiene una función similar a la de TTL, donde la transición entre niveles lógicos esta cerca de 1,25 V. De esta manera es posible conectar una CMOS a la salida de una TTL.

En caso de querer hacerlo con una 74HC, se corre el riesgo que en el nivel alto, la CMOS interprete que el valor que arroja la TTL no sea un "1" sino caiga dentro de la zona prohibida

(recordar que para una entrada CMOS, ésta reconoce bien un "1" si la tensión es mayor a 3,5 V).

Filmina 71: Otra gráfica donde se comparan los rangos de tensión de alimentación admisibles para diferentes series de CMOS.

La más versátil es la CD4K (CD4000) pero desde 3 V. Le sigue la 74AC y 74HC entre 2 y 6 V.

Filminas 72 a 73: Se presenta una gráfica comparativa para tecnologías Bi-CMOS y CMOS en tres valores de tensión de alimentación: 3,3 V -- 2,5 V -- 1,8 V.

Los valores mas bajos de retardo alcanzan los 200 ps aunque los valores típicos rondan los 3 ns en promedio.

Filmina 74: Compara los rangos de tensión y márgenes de ruido entre TTL de 5 y 3,3 V y versiones de CMOS de 5V – 3,3 V-. 2,5 V – 1,8 V.

Filminas 75 a 77: ECL es la familia lógica mas veloz de las 3 (ECL – TTL – CMOS).

Su éxito se debe a que por un lado los transistores bipolares que emplea no trabajan al corte y saturación por lo que no hay que perder tiempo en sacarlos de la saturación.

Además trabaja con excursiones de la tensión de salida de unos pocos cientos de miliVolts lo que hace que los tiempos de subida (rise) y de bajada (fall) no sean tan grandes.

Sus desventajas son básicamente dos:

--Trabaja con tensiones negativas, lo que dificulta su interface a TTL ó CMOS.

--Consume mucho más que TTL, lo que lo reduce a aplicaciones donde se requieren transceivers o buffers.

Si bien ECL no ha modificado mucho su estructura en su evolución, el cambio mas significativo desde su invención fue el de trasladar sus niveles de tensión de entrada-salida a valores positivos, denominándose PECL (ECL Positiva). Esto se hizo desplazando la tensión de alimentación, tal que el borne de -5,2 V pasara a ser GND.

Además hoy en día la versión utilizada en drivers para láseres de comunicaciones en velocidades de GHz emplea una versión de baja tensión denominada LVPECL.

Como las compuertas ECL se forman empleando transistores arreglados en montaje de par diferencial, generalmente con el mismo chip se genera una función y su negación en forma simultánea (por ejemplo una OR y NOR, filmina 76).

En ese esquema de 2 entradas, un generador de corriente define el valor de la suma total de corrientes que circulan por R1 y R2.

Aquí, las entradas de tensión INA e INB, inyectarán corriente a los transistores Q1 y Q2 respectivamente.

El diseño es tal que si las tensiones de dichas entradas están por debajo de un dado valor de diseño, tanto Q1 como Q2 estarán con muy baja polarización (nunca cortados) y gran parte de la corriente del generador drenará por R2.

Esto hace que el seguidor por emisor Q4 presente una tensión en emisor cercana a Vee lo que se interpreta como un "0". Lo opuesto ocurre con Q5 ya que la tensión es cercana a Vcc y por lo tanto, la tensión en el emisor de Q5 se interpreta como un "1".

Si al menos una de las entradas INA ó INB tiene un valor de tensión mayor a lo especificado como entrada mínima de "1", forzará a drenar mas corriente por R1, de tal forma que se invierte lo analizado anteriormente, pasando a "1" la salida en Q4 y a "0" la salida de Q5.

En la filmina 77, tenemos el caso de una compuerta AND-NAND de dos entradas.

Analizando sólo el caso de la NAND, la única forma para que la salida vaya a "0" es cuando simultáneamente INA e INB van a "1". De otra forma no habrá manera que circule suficiente corriente por R1.

Filmina 78: Se presenta el caso de una OR-NOR de 4 entradas, circuito que corresponde a la serie ECL 10K de Motorola (ahora denominada ON-SEMI).

Filmina 79: Se pueden observar las funciones de transferencia de compuertas ECL para el caso general, para la serie 10K y 10H respectivamente.

Los niveles de tensión de entrada deben estar comprendidos entre -5,2 V y -1,47 V para el "0" y entre -1,1 V y 0 V para el "1".

Una salida de "0" generalmente oscila entre -1,85 V y -1,63 V, mientras que una salida en "1" lo hace entre -0,98 V y -0,81 V

Dadas las frecuencias que generalmente se manejan con esta tecnología (desde cientos de MHz a GHz), las pistas de circuitos impresos comienzan a funcionar como líneas de transmisión (los caminos eléctricos son comparables con la longitud de onda de la señal a transmitir) por lo cual se deben "terminar" las conexiones a fin de evitar que se produzcan "oscilaciones" debido a las reflexiones, si no hay una perfecta adaptación de impedancias.

Filmina 80: Los márgenes de ruido son muy pequeños dado que las excursiones de la señal también es pequeña. Valores típicos son de algunos cientos de miliVolts.

Filmina 81: Se muestran formas de onda típicas en diagrama de tiempos donde la medición de los tiempos de subida y bajada se toman entre el 20 y 80% de la tensión y se dan las terminologías de otras tensiones relacionadas con los sobrepicos (overshoot) y subpicos (undershoot) que son normalmente especificados en las hojas de datos.

Filminas 82 a 86: Se muestra una compuerta comercial ECL AND-NAND de la serie MC10/100EP de Motorola.

En este caso, es importante observar que las entradas son diferenciales (balanceadas), es decir que los datos que deben ingresar a la compuerta deben consistir en dos señales en contrafase cada uno. Un dato se inyecta en los pines 1 y 2, y el otro en los pines 3 y 4.

Esta estrategia mejora la inmunidad al ruido. La salida AND se obtiene sacando el dato de  $Q \text{ -- } /Q$ , mientras que para obtener la NAND, se invierte el orden ( $/Q \text{ -- } Q$ ).

La máxima frecuencia de operación es de al menos 3 GHz (compárelo con los poco cientos de MHz de la 74F ó 74AC).

Puede funcionar como compuerta PECL, conectando por ejemplo el borne Vcc a 3,3 V y el de Vee a GND.

En las hojas de datos se ve por ejemplo que el consumo de la lee general es de 27 mA típico a 25°C.

La filmina 83 muestra las características de continua para el caso de funcionar como PECL con  $V_{cc} = 3,3 \text{ V}$ .

La filmina 84, lo mismo pero con  $V_{cc} = V$ .

La filmina 85, idem pero en modo ECL (negativo), con Vee entre -3,3 V y -5,5 V.

Las diferencias a tener en cuenta son los valores de las tensiones de entrada en nivel bajo y alto, como de las salidas que hay que respetar para cada una de estas configuraciones.

En la filmina 86 tenemos la frecuencia máxima de trabajo de reloj en  $> 3 \text{ GHz}$ , con tiempos de subida y bajada de unos 80 ps.

Filminas 87 a 88: Se muestran las características de un FF tipo "D" con entradas de set y reset.

La frecuencia de trabajo es también de  $> 3 \text{ GHz}$ .

Las entradas de datos como la de reloj son diferenciales (balanceadas) mientras que las de control (set y reset) son desbalanceadas.

Los tiempos de "hold" y "set-up" son de unos 20 ps.

Los tiempos de bajada y subida son de unos 130 ps, mientras que los de retardo de propagación de CLK a Q, de 220 ps (casi 10 veces menor a lo visto en las otras tecnologías).

Filmina 89: Se muestran Las características de un contador binario sincrónico con frecuencia de operación de algo más que 1 GHz.

Los tiempos de propagación de CLK a Q son de unos 500 ps

Filmina 90: Se muestra la etapa de salida de una compuerta LVPECL (PECL de baja tensión) con las salidas "terminadas", es decir, cargadas con resistencias de valor típicamente 50  $\Omega$ .

Filminas 93 a 94: Se muestra una manera de interconectar dos compuertas PECL.

El primer caso es con acoplamiento en continua y el segundo acoplado en alterna.

Filminas 95 a 100: La tecnología Bi-CMOS es un híbrido entre el uso de transistores bipolares y de efecto de campo. Se presenta un ejemplo que es la línea denominada ABT de Texas Instruments.

Generalmente se emplea CMOS a la entrada para aprovechar la ventaja de no cargar a etapas anteriores. La salida se basa en una etapa similar a la usada en TTL Schottky para tener capacidad de corriente y poder generar un menor rango de tensión entre un nivel lógico y otro.

En la filmina 97 se muestran las curvas de VoH vs IoH y de VoL vs IoL para Vcc = 5 V. se pueden observar los altos valores de corriente de salida que se manejan.

Un ejemplo de un buffer no inversor de 16 bits con capacidad de tri-state se presenta en la filmina 100. El tiempo de propagación es de alrededor de 3 ns para 150 pF de carga.

Filmina 101: Una tabla comparativa resume un poco las diferentes tecnologías TTL, CMOS y BiCMOS.

Con TTL podemos obtener buena capacidad de corriente pero no mucha velocidad. Con CMOS es el caso contrario. BiCMOS está en el medio donde se consiguen corrientes de carga de hasta 250 mA con retardos de unos 3 ns. La aplicación definirá que se utilice.



Filminas 102 a 103: Aquí se reduce la comparativa entre LS-TTL y CMOS de alta velocidad.

La curva de tiempo de retardo vs consumo indica que la FACT (una denominación de la 74AC-  
ACT) tiene una buena relación retardo-consumo.

Filmina 104 a 114: Se presentan extractos de hojas de datos de diversos chips de serie 74LS,  
74HCT y 74ACT a fin de poder comparar sus características.

Datos del circuito integrado 54LS04/74LS04

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$  (see Figure 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54LS04 SN74LS04			UNIT
				MIN	TYP	MAX	
$t_{PLH}$	A	Y	$R_L = 2\text{ k}\Omega$ , $C_L = 15\text{ pF}$		9	15	ns
$t_{PHL}$					10	15	

recommended operating conditions

		SN54LS04			SN74LS04			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage			0.7			0.8	V
$I_{OH}$	High-level output current			-0.4			-0.4	mA
$I_{OL}$	Low-level output current			4			8	mA
$T_A$	Operating free-air temperature	-55		125	0		70	$^\circ\text{C}$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS04			SN74LS04			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{IK}$	$V_{CC} = \text{MIN}$ , $I_I = -18\text{ mA}$			-1.5			-1.5	V
$V_{OH}$	$V_{CC} = \text{MIN}$ , $V_{IL} = \text{MAX}$ , $I_{OH} = -0.4\text{ mA}$	2.5	3.4		2.7	3.4		V
$V_{OL}$	$V_{CC} = \text{MIN}$ , $V_{IH} = 2\text{ V}$			$I_{OL} = 4\text{ mA}$			0.4	V
				$I_{OL} = 8\text{ mA}$			0.5	
$I_I$	$V_{CC} = \text{MAX}$ , $V_I = 7\text{ V}$			0.1			0.1	mA
$I_{IH}$	$V_{CC} = \text{MAX}$ , $V_I = 2.7\text{ V}$			20			20	$\mu\text{A}$
$I_{IL}$	$V_{CC} = \text{MAX}$ , $V_I = 0.4\text{ V}$			-0.4			-0.4	mA
$I_{OS}§$	$V_{CC} = \text{MAX}$	-20		-100	-20		-100	mA
$I_{CCH}$	$V_{CC} = \text{MAX}$ , $V_I = 0\text{ V}$		1.2	2.4		1.2	2.4	mA
$I_{CCL}$	$V_{CC} = \text{MAX}$ , $V_I = 4.5\text{ V}$		3.6	6.6		3.6	6.6	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

§ Not more than one output should be shorted at a time and the duration of the short-circuit should not exceed one second.

Diagrama de tiempos de entrada-salida del MC14001UB y MC14011UB

